



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06045248 A**(43) Date of publication of application: **18.02.94**

(51) Int. Cl.

H01L 21/203
C23C 14/06
C30B 23/02
H01L 31/04
H01L 33/00

(21) Application number: **04198598**(22) Date of filing: **24.07.92**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **NEGAMI TAKAYUKI**
NISHITANI MIKIHICO
WADA TAKAHIRO

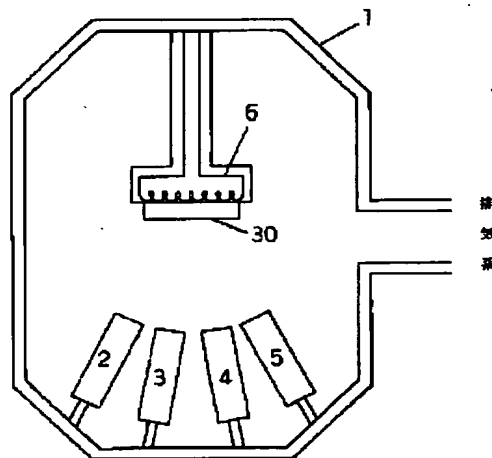
(54) **MANUFACTURE OF SEMICONDUCTOR THIN FILM WITH CHALCOPYRITE STRUCTURE, THIN-FILM SOLAR CELL, AND LIGHT-EMITTING DEVICE**

(57) Abstract:

PURPOSE: To provide a method for manufacturing a chalcopyrite film made up of stoichiometric component elements with controllability in pn-conduction form and carrier density.

CONSTITUTION: When a chalcopyrite thin film is deposited on a substrate 30, a II-group element from an evaporation source 5 as well as main elements from evaporation sources 1 to 4 is deposited to form the chalcopyrite-structured n-type semiconductor thin film. After the chalcopyrite-structured semiconductor thin film is formed on the substrate 30, the substrate 30 is heated by a heater 6. Then, the II-group element is vaporized by the heat, and the II-group element is diffused into the chalcopyrite-structured semiconductor thin film.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-45248

(43)公開日 平成6年(1994)2月18日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/203

Z 8422-4M

C 2 3 C 14/06

9271-4K

C 3 0 B 23/02

9040-4G

H 0 1 L 31/04

7376-4M

H 0 1 L 31/ 04

E

審査請求 未請求 請求項の数9(全 9 頁) 最終頁に続く

(21)出願番号

特願平4-198598

(22)出願日

平成4年(1992)7月24日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 根上 卓之

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 西谷 幹彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 和田 隆博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

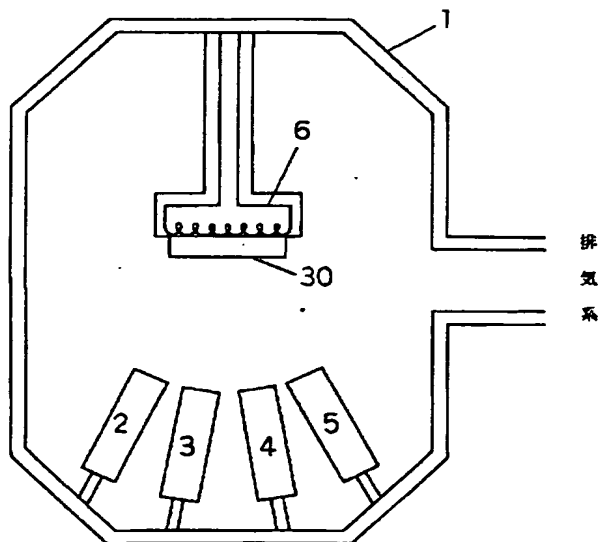
(74)代理人 弁理士 松田 正道

(54)【発明の名称】 カルコバイライト構造半導体薄膜の製造方法、薄膜太陽電池及び発光装置

(57)【要約】

【目的】成分元素が化学量論比となる組成を有しかつp
n伝導形及びキャリア密度を制御することが可能なカル
コバイライト薄膜の作製法を提供すること。

【構成】基板30上にカルコバイライト薄膜を堆積す
る場合に、蒸着源2、3、4からのカルコバイライト薄
膜の主元素と同時に蒸着源5からII族元素を蒸着し、n
形カルコバイライト構造半導体薄膜を作製する。また、
基板30上にカルコバイライト構造半導体薄膜を成膜し
た後、基板30をヒータ6により加熱して、蒸着源5か
らII族元素を蒸発させカルコバイライト構造半導体薄膜
中にII族元素を拡散させる。



1 真空容器

2 Cuの蒸着源

3 Inの蒸着源

4 Seの蒸着源

5 Cdの蒸着源

6 基板加熱用ヒータ

30 基板

【特許請求の範囲】

【請求項1】 I族、III族、VI族元素からなるカルコパイライト構造半導体薄膜を堆積する際に、II族元素あるいは前記元素を含む化合物を蒸着することを特徴とするカルコパイライト構造半導体薄膜の製造方法。

【請求項2】 I族、III族、VI族元素からなるカルコパイライト構造半導体薄膜を堆積した後に、II族元素あるいは前記元素を含む化合物を蒸発させながら熱処理することを特徴とするカルコパイライト構造半導体薄膜の製造方法。

【請求項3】 請求項1、2記載のいずれかの製造方法で作製したカルコパイライト構造半導体薄膜をガス雰囲気中あるいは真空中で熱処理することを特徴とするカルコパイライト構造半導体薄膜の製造方法。

【請求項4】 VI族元素を蒸発させながら前記熱処理することを特徴とする請求項3記載のカルコパイライト構造半導体薄膜の製造方法。

【請求項5】 I族、III族、VI族元素からなるカルコパイライト構造半導体薄膜上にII族元素を堆積した後、熱処理することを特徴とするカルコパイライト構造半導体薄膜の製造方法。

【請求項6】 いずれの熱処理も、又はいずれかの熱処理を 10^{-4} Torrから 10^{-2} Torrの範囲内の真空中で行うことを特徴とする請求項2～5記載のいずれかのカルコパイライト構造半導体薄膜の製造方法。

【請求項7】 いずれの熱処理も、又はいずれかの熱処理をする雰囲気ガスとして、水素、窒素、酸素、ヘリウム、アルゴンのうちの少なくとも一つを用いることを特徴とする請求項2～5記載のいずれかのカルコパイライト構造半導体薄膜の製造方法。

【請求項8】 光吸収層あるいはp-n接合形成層として、請求項1～7記載のいずれかの製造方法によって得られたカルコパイライト構造半導体薄膜を用いることを特徴とする薄膜太陽電池。

【請求項9】 活性層あるいはクラッド層として、請求項1～7記載のいずれかの製造方法によって得られたカルコパイライト構造半導体薄膜を用いることを特徴とする発光装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、カルコパイライト構造半導体薄膜の製造方法、それを利用した薄膜太陽電池及び発光装置に関するものである。

【0002】

【従来の技術】カルコパイライト構造半導体は、構成元素によりその禁制帯幅が可視域から赤外域まで広くとれることや光吸収係数が大きいことから発光素子及び太陽電池を構成するのに有利な材料である。太陽電池あるいは発光素子を作製する場合、p-n接合を作製することが不可欠であるが、従来、カルコパイライト薄膜のp-n伝

導形を制御する場合、カルコパイライト化合物の構成元素であるI族元素とIII族元素またはII族元素とIV族元素の組成比を変える方法が用いられてきた。例えば、CuInSe₂薄膜の場合では、組成比がI族元素であるCuよりIII族元素であるInの方が大きい時はn形、その逆の時はp形となる。

【0003】この場合、組成比がずれることから多くの格子欠陥が生じることや過剰成分の析出あるいはカルコパイライト構造以外の異相化合物の出現等の問題が生じる。また、組成比を変化させてキャリア濃度ならびに抵抗率を制御することは困難であることが報告されている(R. Noufi et al., Appl. Phys. Lett., 45(1984)p.668)。特に、組成比ずれによるn形のカルコパイライト半導体薄膜では、そのほとんどが高抵抗を示し、低抵抗膜は得られていない。

【0004】

【発明が解決しようとする課題】このように、従来の技術で作製したカルコパイライト薄膜を用いてp-n接合を作製する場合、前記のように組成比のずれによる格子欠陥及び過剰成分の析出あるいは、カルコパイライト構造以外の異相化合物の出現等による電気的、光学的特性の劣化が、素子の効率あるいは効率を劣化させる要因となる。例えば、格子欠陥や異相化合物によるキャリア再結合中心の増加による太陽電池の開放電圧の低下や半導体レーザの量子効率の低下が生じる。

【0005】また、得られているn形高抵抗膜を用いると、太陽電池においては、高抵抗層であることから短絡電流が減少し、発光素子では、キャリアの注入効率が減少する。従って、太陽電池の変換効率の低減、発光素子の発光効率の低減を生じさせる要因の一つとなる。

【0006】本発明は、このような従来のカルコパイライト薄膜の課題を考慮し、そのような課題を有しないカルコパイライト構造半導体薄膜の製造方法及び、それを利用して高効率の太陽電池及び発光装置の提供を目的とするものである。

【0007】

【課題を解決するための手段】本発明は、I族、III族、VI族元素からなるカルコパイライト構造半導体薄膜（以下I-III-VI₂膜と表記する）を堆積する場合に、同時にII族元素あるいは前記元素を含む化合物を蒸着するカルコパイライト薄膜の製造方法、あるいはI-III-VI₂膜堆積後にII族元素あるいは前記元素を含む化合物を蒸発させながら熱処理するカルコパイライト構造半導体薄膜の製造方法である。

【0008】前記製造法で得られたカルコパイライト構造半導体薄膜をガス雰囲気中あるいは真空中で熱処理することが好ましい。この時、VI族元素を蒸発させながら熱処理することが好ましい。

【0009】また、本発明は、I-III-VI₂膜上にII族元素を堆積した後、熱処理するカルコパイライト構造半導

体薄膜の製造方法である。

【0010】また、上記製造方法における熱処理を真空中で行う場合は、 10^{-4} Torrから 10^{-2} Torrの範囲内の真空度が望ましい。また、ガス雰囲気中で行う場合は、水素、窒素、酸素、ヘリウム、アルゴンのうちの少なくとも一つを用いることが好ましい。

【0011】また、本発明は、上記製造方法によって得られたカルコパイライト構造半導体薄膜を、光吸収層あるいはpn接合形成層に用いる薄膜太陽電池、あるいは、活性層あるいはクラッド層に用いる発光素子である。

【0012】

【作用】本発明では、I-III-VI₂のカルコパイライト構造半導体薄膜を真空蒸着あるいはスパッタ蒸着等の作製法により基板に堆積する時に、同時にII族元素あるいはその化合物を蒸着することによりカルコパイライト構造内でのI族元素とII族元素の部分的置換が生じる。

【0013】また、カルコパイライト薄膜を作製した後、望ましくはガス雰囲気中あるいは真空中で、II族元素を蒸発させながら熱処理する、あるいは、カルコパイライト薄膜上に、II族元素膜を堆積した後熱処理することによりカルコパイライト薄膜中のI族元素とII族元素の置換が生じる（以下拡散法と記す）。このようなI-II-VI₂カルコパイライト構造半導体薄膜のI族元素の位置に部分的にII族元素が置換することにより過剰な電子が供給され、n形伝導を示す半導体膜となる。

【0014】前記したような部分的に置換される元素（ドーパント）の主元素に対する比率は通常0.1%以下と極めて小さいため、作製したカルコパイライト薄膜の組成比を化学量論比に保持することが可能であり、組成比ずれによる格子欠陥及び過剰成分の析出あるいはカルコパイライト構造以外の異相化合物の出現等を防ぐことができる。また、このような製造法では、ドーパントとなるII族元素やIII族元素あるいはそれらの化合物の蒸着速度を制御することによりキャリア密度あるいは抵抗率を制御できる。従って、太陽電池あるいは発光素子进行設計する上での自由度が増し、各々の素子に必要となる所望のキャリア密度等を容易に得ることができる。

【0015】また、拡散法を用いてドーパントと主元素の置換を行う場合、置換はカルコパイライト薄膜の表面から起こるため、II族元素が表面付近に密集し、徐々に希薄となる分布をする。このような分布が生じた場合、例えば、太陽電池ではn形半導体膜中に内部電界が生じることになり、表面付近で生成された少数キャリア（この場合は正孔）が膜表面から内部、つまりpn接合面へ向かって加速されるため、n形膜中でのキャリア再結合が減少し、多くの電流を得ることができる。

【0016】さらに、上記製造方法によって得られたn形カルコパイライト薄膜を熱処理（後熱処理）することにより置換されたドーパントの活性化率（置換されたド

ーパント量に対する供給された電子量の率）を向上させることができる。つまり、少数のドーパント量で低抵抗n形膜が得られ、不純物量過多によるカルコパイライト構造の乱れ等の結晶性の劣化が生じない。さらに、拡散法によって成膜したn形カルコパイライト膜では、熱処理温度と時間によってドーパントの膜中の分布の形状を制御できることから、太陽電池等の素子の効率を最適化する方法に用いることもできる。熱処理を 10^{-4} ~ 10^{-2} Torrの範囲内の真空中でする場合、膜表面に異物の付着あるいは生成を防止できるという利点がある。また、ガス雰囲気中で行う場合は、水素、ヘリウムあるいはアルゴンのガスを用いた場合は、カルコパイライト薄膜との反応が生じないため、異相化合物や異物の生成を防ぐことができる。また、酸素あるいは窒素を用いるとII族元素で置換されていない領域のI-III-VI₂膜がp形化する場合があり、pn接合を容易に形成できるという利点がある。さらに、VI族を蒸発させながら熱処理するとVI族元素の膜中からの離脱を防ぐことが可能である。

【0017】以上の製造方法により得られたn形カルコパイライト薄膜を用いて作製した太陽電池あるいは発光素子では、格子欠陥や過剰成分の析出あるいは異相化合物が少ないため、キャリア再結合中心が減少し、高い変換効率を有する太陽電池や発光効率の優れた発光素子を提供できる。さらに、キャリア密度が分布した膜を形成できるため、太陽電池ではキャリア取り出し効率が向上し、発光素子ではキャリア注入効率が向上するため高効率太陽電池や高輝度発光素子を提供できる。

【0018】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0019】図1は本発明の1実施例を示す略示断面図である。図1に示すように、内部にカルコパイライト化合物CuInSe₂の主成分元素であるCuの蒸着源2と、Inの蒸着源3と、Seの蒸着源4の3源の蒸着源と、ドーパントとしてCdを入れた蒸着源5とを備えた真空容器1を用意する。ここで、6は基板30を加熱するためのヒータである。真空度約 10^{-7} Torrのもとで、Cu、In、Seの蒸着源ルツボをそれぞれ1140℃、860℃、200℃の温度に熱し、各元素を蒸発させ、同時にCd蒸着源5からCdを蒸発させることにより基板30上に、CuInSe₂:Cd(CIS: Cd)膜を堆積した。以下、これを同時蒸着法と記す。ここで、基板30としては一部がCdS膜とAu膜に覆われたガラスを用いた。成膜中の基板温度をパラメータとし、Cdのルツボ温度に対する抵抗率の変化を図2に示す。ここで、Cdのルツボ温度が高いほどCdの蒸着速度あるいは基板到達量は増加することを表している。全ての膜の組成比はCu/(In+Se)は0.95~1.00の範囲内にあり、Se/(Cu+In)は1~1.02の範囲内にあり、ほぼ化学量論組成(Cu:In:Se

=1:1:2)を満足している。また、作製した膜は全てn形を示した。基板温度500℃で成膜した場合はCdのルツボ温度に関係なく抵抗率は $10^{-4}\Omega\text{cm}$ 以上である。Cdを添加しない化学量論比組成の CuInSe_2 (CIS)膜の抵抗率は $10^{-4}\sim 10^{-5}\Omega\text{cm}$ 程度であることから、基板温度500℃で成膜した場合は、Cdが膜中に入らないことがわかる。基板温度400℃で成膜した場合は、Cdのルツボ温度300℃にすると抵抗率 $10^{-5}\Omega\text{cm}$ に減少する。これらに対し、基板温度300℃で成膜した膜では、Cdのルツボ温度が高くなるにつれ、膜の抵抗率は急激に減少する。以上より、成膜中の基板温度300℃程度でCdが有効に膜中に取り入れられることがわかる。また、基板温度300℃で成膜する場合、Cdのルツボ温度により抵抗率つまりキャリア密度が制御できる。しかしながら、X線回折の結果からガラス上とAu膜上では、基板温度400℃以上で作製したCIS:Cd膜はカルコパイライト構造を形成するが、基板温度300℃で作製した膜はカルコパイライト構造を形成していないということがわかった。従って、この製造法はガラス等の非晶質基板や金属膜上へは適さない。しかし、同様にX線回折パターンからCdS膜上では基板温度300℃でもカルコパイライト構造を形成していることを確認した。従って、この製造法は用いる基板により有効性が異なり、その点を留意する必要がある。

【0020】次に、I-III-VI₂カルコパイライト薄膜を作製した後、II族元素を膜付近に蒸発させながら熱処理してI族元素とII族元素を置換させる製造法の実施例について述べる。以下本製造法を気相拡散法と呼ぶ。図1に示す真空容器1を用いて、Cu、In、Seを前記実施例と同様な温度で熱し、基板温度500℃でCIS膜を作製した後、真空度 10^{-7}Torr 程度でCdを蒸着源5から蒸発させつつ基板温度を200~400℃の範囲内で固定し、熱処理する。図3に基板温度をパラメータとしたCdのルツボ温度に対する抵抗率の変化を示す。ここで、熱処理時間は30分に固定している。熱処理した全ての膜の組成はほぼ化学量論比組成を満足し、n形伝導を示した。基板温度が200℃の場合は、Cdのルツボ温度の変化に対し抵抗率の変化は小さく、Cdのルツボ温度150℃ではCdを添加していないCIS膜の抵抗率 $10^{-4}\Omega\text{cm}$ 程度とほぼ変わらない。基板温度300℃の場合は、Cdルツボ温度の変化に対し急激に抵抗率が減少し、Cdルツボ温度300℃では抵抗率が約 $10^{-6}\Omega\text{cm}$ となり、CIS膜の抵抗率に対し、3桁減少する。このことから、Cdのルツボ温度により抵抗率の制御が可能であることがわかる。また、基板温度400℃では、Cdのルツボ温度250℃までは急激に抵抗率が減少するが、250℃と300℃では余り変化がない。これは、置換されるCd量が飽和してくるためと考えられる。また、X線回折から、基板温度400℃でC

dルツボ300℃で気相拡散した場合、CISの112ピークの半値幅が減少しており、配向性の劣化が観測された。これに対し、基板温度300℃で熱処理した膜では配向性の劣化は観測されなかった。

【0021】次に、I-III-VI₂カルコパイライト薄膜上にII族元素の蒸着膜を被覆した後、熱処理してI族元素とII族元素を置換させる製造法の実施例について述べる。以下、本製造法を固相拡散法と呼ぶ。前記実施例と同様な方法で基板温度500℃で作製したCIS膜上にCdを蒸着し、Ar雰囲気中で熱処理した。Cd膜厚をパラメータとし、熱処理温度に対する抵抗率の変化を図4に示す。ここで、熱処理時間は各々30分である。また、全ての膜でn形を示した。Cd膜厚に関係なく、熱処理温度400℃以上では、抵抗率がCdを添加していないCISの抵抗率 $10^{-4}\Omega\text{cm}$ とほぼ等しくなった。これは、Cdが拡散する以前に膜上から蒸発してしまうためと考えられる。Cd膜厚10nmの場合は、熱処理温度300℃以上で抵抗率の変化がほぼなくなる。これは、熱処理温度300℃、時間30分でCdがCIS膜中に一様に拡散するためと考えられる。このときの抵抗率は約 $10^{-5}\Omega\text{cm}$ であり、Cd添加していないCISの抵抗率からの低下は小さい。Cd膜50nmの場合は、熱処理温度200℃で最も小さい抵抗 $1\Omega\text{cm}$ を示し、熱処理温度の上昇にともない高抵抗化する。これは、熱処理温度の上昇にともないCdが膜中深く拡散されるためと考えられる。熱処理温度200℃の場合は、CIS膜表面にCdが蓄積される。この膜表面をX線回折から評価した結果、CISの結晶性が著しく劣っていることを確認した。熱処理温度の上昇にともない結晶性は回復した。また、Cd膜厚100nmの場合、熱処理温度200℃では、膜表面にCdが残留していた。従って、抵抗率は $10^{-2}\Omega\text{cm}$ と低い値を示したが、Cdの金属伝導による抵抗が主であると考えられる。この場合も、熱処理温度の上昇にともない、高抵抗化する。以上より、例えば、熱処理温度300℃に着目すると、Cd膜の膜厚により抵抗率を制御できることがわかる。なお、本実施例では、雰囲気ガスとしてArを用いたが、水素、ヘリウムを用いても、同様な結果が得られる。また、窒素、酸素、あるいはその混合ガスを用いた場合、膜表面はCdの拡散によりn形となるが、膜中深い部分では、窒素あるいは酸素の混入によりCISがp形化し、整流特性を示した。

【0022】次に、前記実施例で作製したCIS:Cd膜中のCd元素の分布を2次イオン質量分析法で調べた結果を図5に示す。実線7はCd同時蒸着法、破線8は気相拡散法、一点鎖線9は固相拡散法で作製したCIS:Cd膜のCdの分布を示す。また、2点鎖線10については後述する。Cd同時蒸着法は基板温度300℃、Cdルツボ温度250℃で作製した膜について、気相拡散法は基板温度300℃でCdルツボ温度250℃

で30分熱処理した膜について、固相拡散法はCd膜厚500nmをAr雰囲気中300℃で熱処理した膜について調べた結果である。Cd同時蒸着法ではCdが膜中に一様に分布していることがわかった。気相拡散法と固相拡散法では膜面近傍に最もCdが分布し、膜厚方向に対し、ガウス形か補誤差関数形に分布していることがわかった。特に、固相拡散法の方が膜厚付近のCdの蓄積量が多い。以上から、作製する素子の構成あるいは設計により使用する製造法を選択できる。

【0023】次に、Cd同時蒸着法と気相拡散法で作製したCIS: Cd膜をAr雰囲気中でSeを蒸発させながら400℃、30分熱処理した結果について述べる。以下、後熱処理と記す。Cd同時蒸着法の場合、基板温度400℃以上で作製した膜では、Cdのルツボ温度に関係なく、後熱処理前と後熱処理後では、抵抗率の変化はなかった。これに対し、基板温度300℃、Cdルツボ温度200℃以上で作製した膜では、各々その抵抗率が後熱処理前より1桁低くなった。これは、膜中でCdとCuの置換が進行し、電子を供給するCdの量が増加(活性化率が増加)したためと考えられる。さらに、X線回折より、カルコパイライト構造を形成していることを確認した。また、気相拡散法で作製した膜では、基板温度200℃で熱処理した膜は抵抗が増加し、300℃以上で熱処理した膜では抵抗率が約1桁減少した。これは、基板温度200℃で熱処理した膜では、膜表面付近のCdが膜中に拡散し、希薄となるためと考えられる。これに対し、基板温度300℃以上で作製した膜では、膜表面付近のCdも拡散するが、それ以上に活性化率が増加するためと考えられる。図5の2点鎖線10に基板温度300℃でCdルツボ温度250℃、30分熱処理した膜を、Ar雰囲気中で400℃、30分さらに熱処理した膜のCdの分布を示す。破線8の後熱処理していない膜に比べCdが広く膜中に分布することがわかる。

【0024】次に、CIS以外のカルコパイライト構造半導体薄膜への本発明の適用について述べる。Cu、Inターゲットを、加速電圧1KVでスパッタし、ITO(Indium Tin Oxide)で一部覆ったガラス上に蒸着する際に、II族元素Znを電子ビーム蒸着(電子の加速電圧5KVで電流20mAと30mAの2種類)で同時に蒸着する。この堆積膜をH₂S10%とAr90%の混合ガス中で、400℃、2時間熱処理してCuInS₂: Zn膜を作製した。電子ビームの電流値に関係なく膜の伝導形はn形を示した。抵抗率は電子ビームの20mAの膜では100Ωcmとなり、30mAの膜では1Ωcmとなった。Znを添加していないCuInS₂膜の抵抗率10⁴Ωcmに対し、約2~4桁抵抗率が減少した。しかし、電子ビームの電流30mAでZnを蒸着した膜では、X線回折パターンより、20mAで作製した膜よりカルコパイライト構造(112)面の配向性が劣

化していた。これに対し、電子ビームの電流20mAで作製した膜では、Znを添加していない膜の配向性とほとんど変化がなかった。

【0025】次に、Cu、Al、Seの入った蒸着源のルツボを各々1140℃、1200℃、200℃で熱し、基板温度600℃で(100)面GaAs結晶上にCuAlSe₂膜を蒸着した。得られた膜はp形で、抵抗率5Ωcmであった。この膜を約10⁻⁷Torrの真空中で、基板温度400℃、Cdのルツボ温度300℃で1時間熱処理した。膜の伝導形はn形に変化し、その抵抗率は1Ωcmであった。従って、気相拡散法によりCuAlSe₂膜の伝導形制御が可能であることがわかった。

【0026】以下に、本製造法を用いて作製した太陽電池と発光素子について述べる。図6(a)は、本発明を用いて作製した太陽電池の1実施例である。ガラス基板11表面を被覆したMo薄膜12の上の所定領域にp形CIS薄膜13を形成する。このp形CISの製造法としては、CuとInの組成比の異なる2層のCISを堆積する方法や、窒素イオンを照射しながらCIS膜を堆積する方法がある。次に、10⁻⁷Torr程度の真空中でp形CIS膜の基板温度を300℃程度に固定し、Cdを蒸発させてCIS表面からCuとCdの置換を生じさせ、n形CIS層14を形成する。さらに、Arあるいは窒素雰囲気中300℃で30分程度熱処理する。なお、この熱処理はCdの蒸発量(置換量)やp形CIS膜のキャリア密度により異なり、適宜、雰囲気ガスあるいは熱処理温度あるいは時間を定める。従って、p形CIS膜のキャリア密度や膜厚によっては熱処理を必要としない場合もある。以上の製造法によって形成されたpnホモ接合CIS膜上にZnOあるいはITO等の透明電極15を形成する。図6(b)にこの素子のバンド構造を示す。n形CIS膜中では、CIS膜表面からCdを拡散することにより表面がn形低抵抗つまりフェルミレベルがCISの伝導帯付近に存在し、徐々にフェルミレベルが価電子帯へ近づく構造となっている。このようなバンド構造の場合、n形CIS膜中でも内部電界が生じるため、光照射により膜表面近傍で生成された少数キャリア(この場合は、正孔)は、空乏層へと加速される。通常のpn接合の場合では再結合してしまう膜表面近傍の少数キャリアをも取り出すことができるため、得られる電流量が増加する。従って、高効率化が図れる。この他に図7に示す構造がある。透明電極15を被覆したガラス11上に形成したCdS膜16上に、基板温度300℃で前記実施例と同様な製造法でCdを同時蒸着してn形CIS膜14を厚さ0.1~0.2μm程度作製した後、Cdを添加していないCIS膜17を厚さ0.5~2.0μm程度蒸着する。作製した素子を空気中で300℃で3時間熱処理した後、AuあるいはPtを蒸着し、電極18とする。この素子の場合、空気中で熱処

理することによりCIS膜はp形化し、CdS膜付近のCIS:Cd膜はn形から電氣的に中性なi形へと変化する。このi層は、n形CdS層とp形CIS層に挟まれるため、全体になだらかに内部電界が発生する。従って、i層中で生成されたキャリアは加速され電極より取り出される。このi層の膜厚を、CISの光吸収係数やp形CISとn形CdSのキャリア密度等から最適化することによりキャリア再結合が少なく、効率的に光照射による生成キャリアを取り出すことが可能となる。従って、太陽電池の高効率化が図れる。

【0027】図8(a)は、本発明を用いて作製した可視域発光装置の1実施例である。GaAs基板19上に低抵抗p形CuAlSe₂膜20を成長し、その上に高抵抗p形CuAlSe₂膜21を成長させる。高抵抗p形CuAlSe₂膜上の一部を残してSiO₂あるいはAl₂O₃等のCuAlSe₂膜との反応性の少ない絶縁体膜で覆う。その後、Cdを蒸発させながら、絶縁体膜の覆われていないCuAlSe₂膜の箇所からCdの拡散を生じさせ、n形CuAlSe₂膜22を形成する。最後にAlあるいはAu電極23を両面に設ける。この素子では、Cd拡散が生じるCuAlSe₂膜表面付近が低抵抗化し、膜厚方向に対し、徐々に高抵抗化する。このCdの拡散膜厚を、Cdを拡散させる時の基板温度と時間、又はCdを拡散させた後の熱処理により最適化し、p形高抵抗CuAlSe₂膜中でpn接合を形成する。このpn接合にキャリアを注入することにより発光する。この時キャリアの注入はCdを拡散し低抵抗n形となったCuAlSe₂:Cd膜表面の部分からのみ行なわれるため、効率的に注入できる。従って、発光効率を向上できる。また図8(b)に示す構造もある。GaAs基板19上にCd同時蒸着によりn形CuAlSe₂:Cd膜22を成膜した後、高抵抗p形CuAlSe₂膜21を堆積し、その上に低抵抗p形CuAlSe₂膜20を作製する。この積層膜上の一部を前記実施例とは逆にストライプ状にSiO₂等の絶縁膜を形成し、Cdを蒸発させながら拡散させ、n形CuAlSe₂膜22を形成する。その後、SiO₂膜を除去し、その部分に、AuあるいはPtを蒸着し電極23とする。この構成では、発光層はn形CuAlSe₂と高抵抗p形CuAlSe₂膜で形成されるpn接合部となる。キャリア注入は電極下の低抵抗p形CuAlSe₂膜から行なわれる。この時、Cdを拡散したCuAlSe₂:Cd領域ではn形となるため、キャリアが発散せずにpn接合部に注入される。従って、発光効率の向上が図れる。

【0028】

【発明の効果】以上述べたところから明らかなように、本発明は、構成元素の組成が化学量論比であり、pn伝導形、キャリア密度等の電気特性を制御したカルコパイライト構造半導体薄膜を製造することができ、また、そのカルコパイライト構造半導体薄膜を用いた、高効率な

薄膜太陽電池及び発光装置を実現することが出来る。

【図面の簡単な説明】

【図1】本発明の一実施例のI-III-V₆カルコパイライト構造薄膜薄膜中にII族元素を混入させる場合に用いた装置の模式図である。

【図2】同時にCdを蒸着する際のCdのルツボ温度に対する抵抗率の変化を示す図である。

【図3】Cdを蒸発させながら熱処理する際のCdのルツボ温度に対する抵抗率の変化を示す図である。

【図4】Cd薄膜を形成した後に熱処理する際のCd膜厚に対する抵抗率の変化を示す図である。

【図5】2次イオン質量分析法によるCuInSe₂膜中のCdの分布を示す図である。

【図6】(a)は本発明の一実施例の太陽電池の断面構造図、(b)はバンド構造を示す図である。

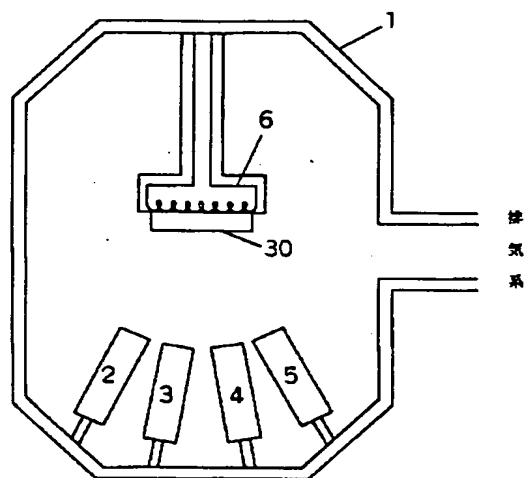
【図7】本発明の一実施例の太陽電池の断面構造図である。

【図8】(a)は本発明の一実施例の発光素子の断面構造図、(b)は本発明の他の実施例の発光素子の断面構造図である。

【符号の説明】

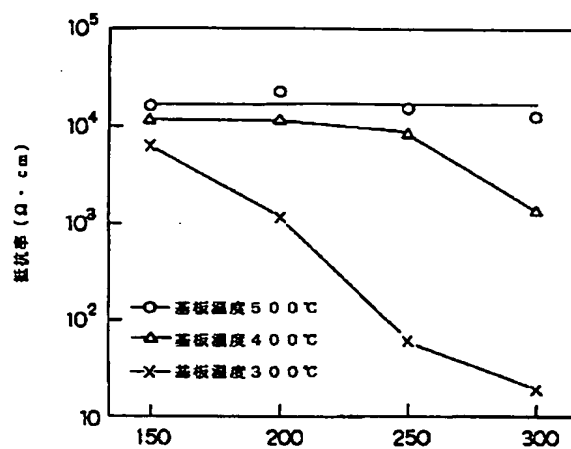
- 1 真空容器
- 2 Cuの蒸着源
- 3 Inの蒸着源
- 4 Seの蒸着源
- 5 Cdの蒸着源
- 6 基板加熱用ヒータ
- 7 同時蒸着法により作製したCuInSe₂:Cd膜中のCdの分布
- 8 気相拡散法により作製したCuInSe₂:Cd膜中のCdの分布
- 9 固相拡散法により作製したCuInSe₂:Cd膜中のCdの分布
- 10 気相拡散法で作製したCuInSe₂:Cd膜の熱処理後のCdの分布
- 11 ガラス基板
- 12 Mo薄膜
- 13 p形CuInSe₂膜
- 14 本発明で作製したn形CuInSe₂:Cd層
- 15 透明電極
- 16 CdS膜
- 17 CuInSe₂膜
- 18 上部電極
- 19 GaAs基板
- 20 低抵抗p形CuAlSe₂膜
- 21 高抵抗p形CuAlSe₂膜
- 22 本発明で作製したn形CuAlSe₂:Cd膜
- 23 電極
- 30 基板

【図1】

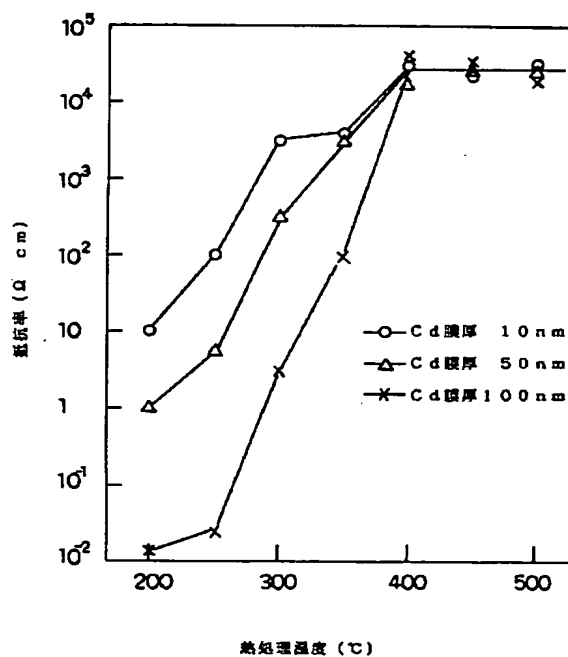


- 1 真空容器
2 Cuの蒸着源
3 Inの蒸着源
4 Seの蒸着源
5 Cdの蒸着源
6 基板加熱用ヒータ
30 基板

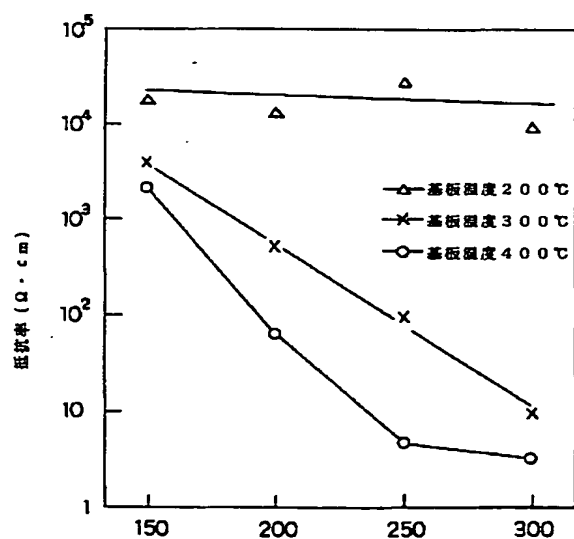
【図2】

Cd 蒸着温度 ($^{\circ}\text{C}$)

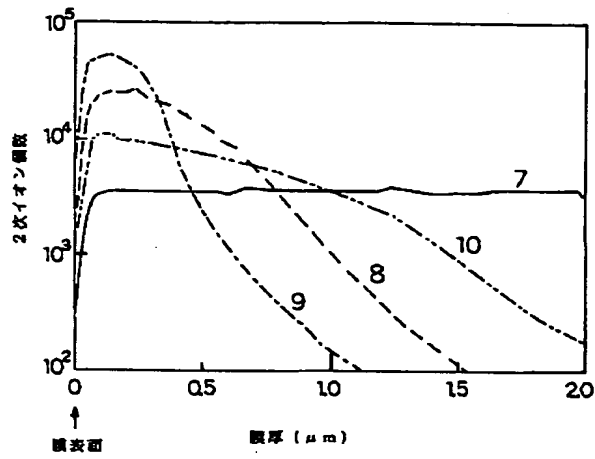
【図4】

焼結温度 ($^{\circ}\text{C}$)

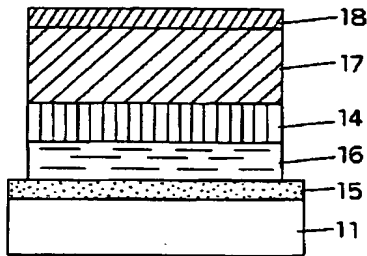
【図3】

Cd 蒸着温度 ($^{\circ}\text{C}$)

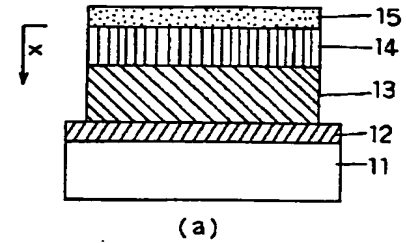
【図5】



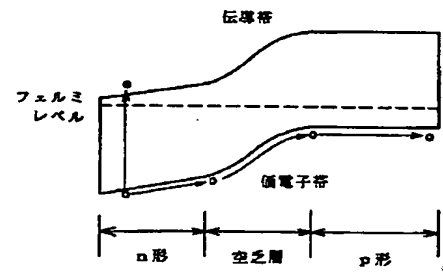
【図7】



【図6】

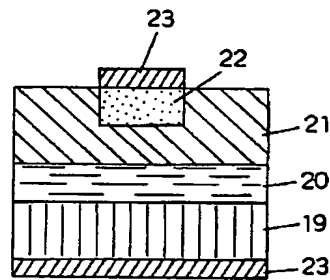


(a)

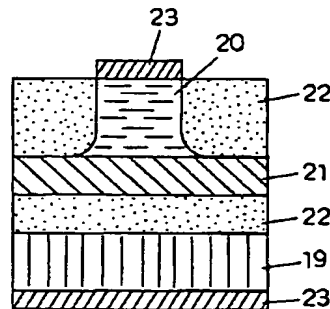


(b)

【図8】



(a)



(b)

フロント ページの続き

(51)Int.Cl.⁵

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 33/00

A 8934-4M